

JP07094716 A

MANUFACTURE OF SEMICONDUCTOR DEVICE

TOSHIBA CORP

Inventor(s): ;MURAOKA KOICHI ;SUGURO KYOICHI

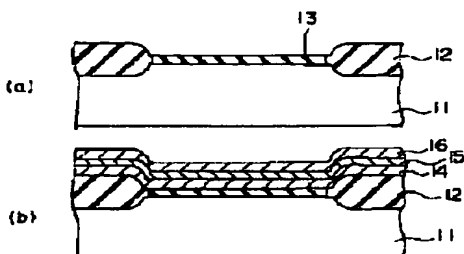
Application No. 05236783 JP05236783 JP, **Filed** 19930922, **A1 Published** 19950407

Abstract: **PURPOSE:** To reduce the film thickness of a metal oxide layer to a specific percentage or below of that of a metal nitride layer and a metal layer, by performing heat treatment in an atmosphere containing reducing gas, oxidizing gas and nitrogen, and properly controlling temperature rise and drop rate.

CONSTITUTION: In a mixed gas atmosphere containing hydrogen H_2 and steam H_2O with nitrogen N_2 as carrier gas, the partial pressure of steam is increased until a condition under which WO_2 is reduced and TiN is oxidized is obtained. Under the partial pressure condition, temperature is risen at a rate of $100 - C/min$ up to $900 - C$. After 30

minutes of heating, temperature is reduced at a rate of $-70 - C/min$. This oxidizes not

only the sidewall of a polycrystalline silicon layer 14 and the surface of a silicon substrate 11 but also the exposed sidewall of a TiN layer 15, and thus a TiO_2 film 17 is formed. The thickness of the film can be controlled to approx. $5nm$ (20% or below of the film thickness of a metal nitride layer and a metal layer).



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-94716

(43)公開日 平成7年(1995)4月7日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78
21/336

7514-4M

H 0 1 L 29/ 78

3 0 1 P

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21)出願番号

特願平5-236783

(22)出願日

平成5年(1993)9月22日

(71)出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者

村岡 浩一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者

須黒 恭一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人

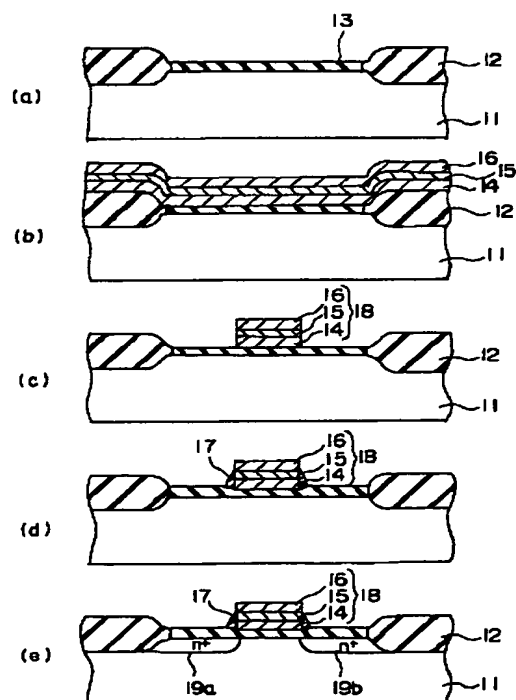
弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 熱処理時間を短縮して、熱的負荷を軽減するとともに、ゲート耐圧を向上させた半導体装置の製造方法を提供することを目的とする。

【構成】 シリコン基板11上にゲート酸化膜13を介して金属窒化物層及び金属層を含む積層構造を有するゲート電極18を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することによりシリコン基板11表面の酸化を行なう工程とを具備し、前記熱処理工程の前後において、金属窒化物層15及び金属層16の酸化によりそれぞれ形成される金属酸化物層の膜厚が金属窒化物層15及び金属層16の膜厚の20%以下となるように制御された昇温速度及び降温速度で昇降温を行なうことを特徴とする。



【特許請求の範囲】

【請求項 1】シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有するゲート電極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記雰囲気中で前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程は、前記金属窒化物層及び前記金属層の酸化によりそれぞれ形成される金属酸化物層の膜厚が前記金属酸化物層及び前記金属層の膜厚の 20% となる昇温速度及び降温速度以上の速度で行なうことを特徴とする半導体装置の製造方法。

【請求項 2】シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有する電極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程に先立ち、或いは該工程中に、前記金属窒化物層及び前記金属層中の金属の酸化反応における自由エネルギー変化がゼロ又は正となるように、前記雰囲気中に含まれる気体の分圧を制御することを特徴とする半導体装置の製造方法。

【請求項 3】シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有するゲート電極を形成する工程と、還元性気体及び窒素を含む還元雰囲気中で熱処理する第 1 の熱処理工程と、酸化性気体及び窒素を含む酸化雰囲気中で熱処理する第 2 の熱処理工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特にゲート電極形成後のシリコンの酸化工程を改良した半導体装置の製造方法に関する。

【0002】

【従来の技術】現在、半導体装置の電極や配線の材料として、多結晶シリコンが広範に使用されている。しかしながら、半導体装置の高集積化、高速化に伴い、電極や配線の抵抗による信号伝達の遅延が重大な問題となってきた。特に、大容量、高集積化が進展している MOSLSI の分野では、ゲート電極に使用されている多結晶シリコンは第 1 層配線と共用になるので、ここでの多結晶シリコンの抵抗値が半導体装置の高速動作の障害となっている。

【0003】このようなことから、多結晶シリコンに代わる電極配線材料として、熱的な安定性と電気的低抵抗を有する高融点金属のシリサイドが使用されつつある。また、最近では W、Mo 等の高融点金属そのものをゲート電極として使用する試みもなされている。W、Mo 等

の高融点金属は、その電気抵抗率が多結晶シリコンよりも 2 桁低く、またシリサイドの抵抗率の $1/4 \sim 1/3$ であり、低抵抗の電極配線材料として有望視されている。

【0004】上述した高融点金属（例えば W）をゲート電極の一構成材として用いた半導体装置としては、従来より図 9（a）に示す構造のものが知られている。即ち、図中の参照数字 1 は p 型シリコン基板を示し、この p 型シリコン基板 1 には素子領域を電気的に分離するためのフィールド絶縁膜 2 が形成されている。このフィールド絶縁膜 2 で分離された p 型シリコン基板 1 の表面には、互いに電気的に分離されたソース、ドレインとなる n^+ 型拡散層 3 a、3 b が形成されている。

【0005】これら拡散層 3 a、3 b 間のチャンネル領域を含む前記基板 1 の表面上には、ゲート酸化膜 4 を介して、多結晶シリコン層 5、金属窒化物層（例えば TiN 層）6 及びタングステン（W）層 7 からなるゲート電極 8 が設けられている。なお、前記ゲート電極 8 を構成する金属窒化物層 6 は、タングステン層 7 と多結晶シリコン層 5 との密着性を向上させると共に、タングステン層 7 と多結晶シリコン層 5 とが反応して抵抗率が 1 桁上昇するのを防止するための反応障壁として作用する。

【0006】ところで、従来より採用されている多結晶シリコンからなるゲート電極の形成工程では、5～50 nm といった薄いゲート酸化膜の欠陥やゲート電極のエッジ形状に起因するゲート耐圧劣化を回復するために、酸化雰囲気（例えば乾燥酸素）中で熱処理を行い、多結晶シリコン層の露出面やソース、ドレイン領域の基板上にシリコン酸化層を新たに成長させる工程を行っている。この工程は、ゲート後酸化工程と呼ばれている。

【0007】しかしながら、一般に W、Mo 等の高融点金属は、酸化雰囲気中で熱処理に対する耐性がないため、前述した図 9（a）に示すゲート電極構造では従来のようなゲート後酸化工程を適用することができないという問題があった。

【0008】上記問題を解決する方法として、還元性気体（例えば水素）及び酸化性気体（例えば水蒸気）を含み、かつ窒素を含む気体を希釈気体とした雰囲気中で熱処理することで、ゲート電極を構成する金属層及び金属窒化物層の酸化を招くことなくシリコン酸化膜を形成でき、それによってゲート耐圧を向上させることの可能なシリコン選択酸化技術がよく知られている（特開平 3-119763）。

【0009】この場合、還元性気体としては H_2 を、酸化性気体として水蒸気（ H_2O ）を、窒素を含む気体として N_2 を用いた場合には、それらの混合比率を次のように設定することが望ましいと言われている。即ち、 H_2 、 H_2O 、 N_2 の分圧を P_{H_2} 、 P_{H_2O} 、 P_{N_2} とすると、 P_{N_2}/P_{H_2O} を $0.5 \sim 1.0 \times 10^9$ にし、かつ $10 \log P_{N_2}$ を $-2.2 \sim -1.4$ にする。更に、より好ましい

条件としては、温度を800～900℃にすることがよく、この際 P_{H_2}/P_{H_2O} を $1.0 \times 10^3 \sim 1.0 \times 10^4$ にし、かつ $\log P_{N_2}$ を $-2 \sim 2$ にするものである。このような雰囲気条件で熱処理することにより、ゲート電極を構成する金属を酸化することなくシリコンのみを酸化することが可能となる。

【0010】しかしながら、最近の精力的な研究により、この種の方法にあつては以下のような問題の生じる事が明らかとなった。まず上記選択酸化条件では P_{H_2O} が低いためシリコンの酸化速度が非常に遅く、ゲート電極の耐圧性向上に必要なシリコン酸化膜を得るためには高温で長時間加熱する必要がある、熱的負荷が大きくなる。また、上記選択酸化条件は温度安定後のアニール中の場合であり、基板の昇温並びに降温時において選択条件を満たさないため、ゲート電極における金属層及び金属窒化物層の酸化を招くことが明らかになった。

【0011】例として、図9(a)に示すようなタングステン層7/TiN層6/多結晶シリコン層5のゲート電極構造において、ガス分圧を $H_2 : H_2O : N_2 = 0.164 : 1 \times 10^{-4} : 0.836$ のままで昇降温速度を $\pm 45^\circ\text{C}/\text{分}$ にし、900℃で120分加熱を行った。この時の H_2O 分圧と基板温度の時間的変化を図10に示す。しかし、このような熱処理によると、図9(b)に示すように、多結晶シリコン層5及び側壁部とシリコン基板1の表面だけでなく、ゲート電極側面のTiN層6が酸化され、約10nmの TiO_2 膜9が形成されることが確認された。また、このようにして形成されたゲート電極においては、その後、ゲート電極側壁に側壁膜を形成することが困難となったり、TiN層自体の反応障壁性が劣化したり、イオン注入時のマスクとしての機能が損なわれたりするという問題が生じた。

【0012】

【発明が解決しようとする課題】本発明は、上記課題を解決するためになされたもので、ゲート電極を構成する金属層の酸化を抑制しつつ、ゲート後酸化を行なうことを可能とし、かつ熱処理時間の短縮による熱的負荷の軽減、及びゲート耐圧の向上を達成し得る半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明は、シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有するゲート電極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記雰囲気中で前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程は、前記金属窒化物層及び前記金属層の酸化によりそれぞれ形成される金属酸化物層の膜厚が前記金属酸化物層及び前記金属層の膜厚の20%となる昇温速度及び降温速度以上の速度で行なうことを特徴と

する半導体装置の製造方法を提供する。

【0014】本発明の方法において、ゲート電極は、多結晶シリコン層、金属窒化物層、及び金属層の積層構造とすることが出来る。金属層としては、タングステン、モリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、モリブデン、タンタル、チタン等を用いることが出来る。金属窒化物層は、金属層と多結晶シリコン層との間の障壁層をなすものであって、チタン、ジルコニウム、ハフニウム、タングステン、バナジウム、ニオブ、タンタル、クロム、レニウム等の窒化物を用いることが出来る。

【0015】また、本発明の方法における熱処理工程においては、昇温速度及び降温速度は、金属窒化物層及び金属層の酸化により形成される金属酸化物層の膜厚が金属層の膜厚の20%以下となるような速度である。このような昇温速度及び降温速度で行なうことにより、シリコンの酸化を行なうとともに金属窒化物層及び金属層の酸化を抑制するような熱処理を行なうことが可能である。

【0016】更に、本発明は、シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有する電極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程に先立ち、或いは該工程中に、前記金属窒化物層及び前記金属層中の金属の酸化反応における自由エネルギー変化がゼロ又は正となるように、前記雰囲気中に含まれる気体の分圧を制御することを特徴とする半導体装置の製造方法を提供する。

【0017】例えば、昇降温において、ガス分圧比を、変化している温度に対応した選択酸化条件の中に含まれるように変化させることで、昇降温時の金属窒化物層及び金属層の酸化を抑えることが可能である。

【0018】本発明は、更に、シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有するゲート電極を形成する工程と、還元性気体及び窒素を含む還元雰囲気中で熱処理する第1の熱処理工程と、酸化性気体及び窒素を含む酸化雰囲気中で熱処理する第2の熱処理工程とを具備することを特徴とする半導体装置の製造方法を提供する。

【0019】

【作用】本発明の方法では、ゲート後酸化のための熱処理工程を、シリコンの酸化を行なうとともに金属窒化物層及び金属層の酸化を抑制するように制御された条件で行なっている。即ち、熱処理を還元性気体、酸化性気体及び窒素を含む雰囲気中で行なうとともに、昇温速度及び降温速度を適切に制御している。それによって、金属層の酸化により形成される金属酸化物層の膜厚を金属窒

化物層及び金属層の膜厚の20%以下とすることが可能である。

【0020】昇温速度及び降温速度と金属氧化物層の膜厚との関係について、以下に説明する。まず、時間 t_0 と t_1 との間に T_0 から T_1 へ昇温する時に金属窒化物層及び金属層が酸化される膜厚 $\Delta t_{ox}\uparrow$ は、下記数1に

$$\begin{aligned}\Delta t_{ox}\uparrow &= \int_{t_0}^{t_1} R[T(t)] dt \\ &= \int_{t_0}^{t_1} C \exp\left[-\frac{E_a}{K(\Delta t + B)}\right] dt \\ &= \frac{CE_a}{K} \int_{x_0}^{x_1} \frac{ex}{x^2} dx \\ &= \frac{C' P_{H_2O}^n E_a}{K} \left\{ E_i\left(-\frac{E_a}{K(At_1 + B)}\right) \right. \\ &\quad \left. - E_i\left[-\frac{E_a}{K(At_0 + B)} - \frac{\exp\left(-\frac{E_a}{K(At_1 + B)}\right)}{\frac{E_a}{K(At_1 + B)}}\right] \right. \\ &\quad \left. + \frac{\exp\left[-\frac{E_a}{K(At_0 + B)}\right]}{-\frac{E_a}{K(At_0 + B)}} \right\} \\ &\quad \left(\text{但し、} E_i(x) = \int_{-\infty}^x \frac{e^t}{t} dt \right) \\ &\quad \text{(積分指数)}\end{aligned}$$

【0022】降温する時に金属窒化物層及び金属層が酸化される膜厚 $\Delta t_{ox}\downarrow$ も同様に計算することが出来る。従って、昇温する時に金属窒化物層及び金属層が酸化される膜厚 $\Delta t_{ox}\uparrow$ と降温する時に金属窒化物層及び金属層が酸化される膜厚 $\Delta t_{ox}\downarrow$ の合計の膜厚を Δt_{ox} とすると、下記の式を満たす必要がある。

【0023】 $\Delta t_{ox} = \Delta t_{ox}\uparrow + \Delta t_{ox}\downarrow \leq 0.2t$

(t : 金属窒化物層及び金属膜厚) この式を実際に計算し、 P_{H_2O} と昇降温速度との関係を求めたところ、図7に示す結果を得た。この図において、4つの点(白丸で示す)を滑らかに結んで形成される曲線、及びそれ

を示す式(1)により表わされる。なお、温度 $T = At + B$ (A, B は定数、 A は昇温及び降温の速度勾配を表わす)で表わされ、酸化速度 $R = C \exp(-E_a/kT)$ ($C = C' P_{H_2O}^n$ 、 n は約1)で表わされる。

【0021】

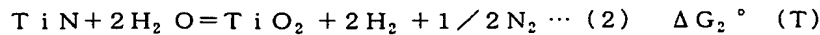
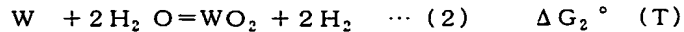
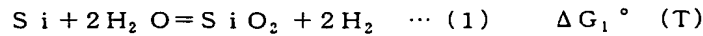
【数1】

より高昇温速度側の領域で昇降温するとよいことがわかる。

【0024】なお、通常の常圧条件では、金属窒化物層の方が金属層より酸化され易いので、金属窒化物層の膜厚のみを考えるとよい。このように、金属窒化物層及び金属層の酸化を抑制することにより、低抵抗のゲート電極を得ることが出来るとともに、また熱処理時間の短縮により熱的負荷軽減並びにスループットの向上につながり、良好なゲート絶縁耐性を有する半導体装置を製造することができる。

【0025】なお、Siのみ酸化し、W及びTiNは酸

化しない水素と水蒸気の分圧については、以下のことが言える。即ち、まず Si、W 及び TiN の酸化反応は、



なお、 $\Delta G_1^\circ (T)$ 、 $\Delta G_2^\circ (T)$ 、 $\Delta G_2^\circ (T)$ は、各反応式におけるギブスの自由エネルギーである。

$$\Delta G_1^\circ (T) \geq -4.575 \times T \times 2.1 \log (P_{\text{H}_2}/P_{\text{H}_2\text{O}}) \quad \cdots (1)$$

$$\Delta G_2^\circ (T) \leq -4.575 \times T \times 2.1 \log (P_{\text{H}_2}/P_{\text{H}_2\text{O}}) \quad \cdots (2)$$

$$\Delta G_2^\circ (T) \leq -4.575 \times T \times \{1/2 [1 \log P_{\text{N}_2} + 2.1 \log (P_{\text{H}_2}/P_{\text{H}_2\text{O}})]\} \quad \cdots (3)$$

例えば、昇降温時において、 $\Delta G_n^\circ (T)$ は $\Delta G_n^\circ (T')$ に変化するため ($T > T'$)、各気体の分圧の範囲は、図 8 に示すように変化する。その変化する範囲内に実験条件が入るように分圧を変化させることにより、W 及び Ti を酸化することなく、Si のみを酸化することが可能である。即ち、図 8 における直線 1、2、3、1'、2'、3' はそれぞれ上記不等式の等号を表わすものであり、直線 1 と 2 と 3 に囲まれた領域が W 及び Ti を酸化することなく、Si のみを酸化する範囲である。なお、昇温時においても、同様のことが言える。

【0028】

【実施例】以下、図面を参照して、本発明の実施例について詳細に説明する。図 1 (a) ~ (e) は、本発明の第 1 の実施例に係るゲート電極の形成工程を示す断面図である。まず、図 1 (a) に示すように、例えば p 型シリコン基板 11 表面に選択酸化によりフィールド酸化膜 12 を形成した後、熱酸化処理を施してフィールド酸化膜 12 で分離されたシリコン基板 11 の表面に厚さ 5 ~ 30 nm のシリコン酸化膜 13 を形成した。

【0029】次いで、図 1 (b) に示すように、シリコン酸化膜 13 上に、不純物が添加された厚さ 50 nm の多結晶シリコン層 14 を堆積した後、基板 11 を 473 K の温度に保持した状態で、 N_2 と Ar の混合ガス中で Ti をターゲットとしたスパッタリングを行なうことにより、多結晶シリコン層 14 上に厚さ 50 nm の TiN 層 15 を堆積した。続いて、LPCVD 法により水素 (H_2)、モノシラン (SiH_4) 及び六フッ化タンゲステン (WF_6) の混合ガスを用い、 H_2 を 0.173 Torr、 SiH_4 を 0.013 Torr、 WF_6 を 0.065 Torr の各分圧に保持し、420℃の基板温度で TiN 層 15 上に厚さ約 150 nm の W 層 16 を堆積した。

【0030】引き続き、W 層 16、TiN 層 15 及び多結晶シリコン層 14 を通常のフォトリソグラフィと反応性イオンエッチング (RIE) を用いて順次選択的にエッチングすることにより、図 1 (c) に示すように、ゲート電極 18 を形成した。

次の反応式で示される。

【0026】

【0027】Si のみ酸化し、W 及び Ti は酸化されないための水素と水蒸気分圧の条件は、以下の式で表わされる。

【0031】次に、水素 (H_2) と水蒸気 (H_2O) を含み、窒素 (N_2) をキャリアガスとした混合ガス雰囲気中 (全圧 1 気圧) において、シリコンの酸化速度向上のために水蒸気分圧を WO_2 が還元され、TiN が酸化される条件にまでに上げた。この条件のガス分圧は、 $\text{H}_2 : \text{H}_2\text{O} : \text{N}_2 = 0.164 : 1 \times 10^{-3} : 0.835$ である。この分圧条件で 100℃/分の昇温速度で 900℃に昇温し、30 分加熱を行なった後、-70℃/分の降温速度で降温した。この時の基板温度の時間変化を図 2 に示す。なお、 H_2O 分圧は、一定とした。

【0032】以上の条件の下での酸化処理によると、図 1 (d) に示すように、多結晶シリコン層 14 の側壁部とシリコン基板 11 の表面が酸化されるだけでなく、TiN 層 15 の露出した側壁も酸化され、 TiO_2 膜 17 が形成されるが、その厚さは約 5 nm と非常に薄いことが確認された。これは、上述の酸化処理方法は、従来の方法に比べ、プロセス時間が 160 分から 46 分にまで短縮でき、且つ TiN 層酸化抑制に有効であることを示している。

【0033】また、レジスト剥離アッシャーによって酸化された W 表面は、還元され、良好な W 表面になることもわかった。更に、本方法によりゲート電極 18 のエッジ領域の酸化膜が約 5 nm 厚くなっていることが確認された。

【0034】続いて、フィールド酸化膜 12 及びゲート電極 18 をマスクとして n 型不純物、例えば砒素をイオン注入し、活性化することにより、図 1 (e) に示すように、シリコン基板 11 の表面領域にソース、ドレインとなる n⁺ 型拡散層 19a、19b が形成された。

【0035】本実施例によれば、酸化処理工程において、ゲート構造における W 層及び TiN 層の側壁の酸化を最少にとどめることが出来ると共に、プロセス時間の短縮が可能であり、更に、良好なゲート電極絶縁耐性を有する MOS 型半導体装置を製造することができることが確認された。

【0036】また本実施例に関し、ゲート電極構造において、TiN 酸化の限界条件まで $P_{\text{H}_2\text{O}}$ を下げ (ガス分

圧は $H_2 : H_2O : N_2 = 0.164 : 1 \times 10^{-4} : 0.836$ 、昇温速度 $150^\circ\text{C}/\text{分}$ 、降温速度 $-90^\circ\text{C}/\text{分}$ の高速昇降温速度条件で120分間熱処理することで、TiN層の側壁の酸化を更に抑制することが可能である。この方法によると、TiN層側壁の酸化物の膜厚を1nm以下にすることが可能である。基板の昇降温速度は、上記した値に限るものではなく、少なくとも電極を形成する金属層の露出面の酸化を膜厚の20%以内に抑制する範囲であれば、本発明の目的が達成される。

【0037】次に、本発明の第2の実施例に係る半導体装置の製造工程について、図3(a)～(c)を参照して説明する。まず、W層16、TiN層15及び多結晶シリコン層14を通常的光リソグラフィと反応性イオンエッチング(RIE)を用いて、順次選択的にエッチングすることにより、図3(a)に示すゲート電極18を形成した。

【0038】次いで、水素(H_2)と水蒸気(H_2O)を含み、窒素(N_2)をキャリアガスとした混合ガス雰囲気中(全圧1気圧)において、昇温時にそれぞれのガスの分圧比を昇温時における TiO_2 の還元条件になるように予め設定した。その分圧比は $H_2 : H_2O : N_2 = 1 : 10^{-8} : 10$ である。ちなみにこの条件は、 WO_2 の還元条件でもある。この TiO_2 の還元雰囲気中で $150^\circ\text{C}/\text{分}$ の昇温速度を保ちつつ 900°C に上げ、温度が一定になると同時にガス分圧比をTiN酸化限界条件である $H_2 : H_2O : N_2 = 0.164 : 1 \times 10^{-4} : 0.836$ にまで変化させ、120分加熱を行った。次に、ガス分圧比を元の $H_2 : H_2O : N_2 = 1 : 10^{-8} : 10$ に変化させた後、 $-90^\circ\text{C}/\text{分}$ で降温した。この時の H_2O 分圧と基板温度の時間変化を図4に示す。

【0039】このような熱処理工程によれば、図3(b)に示すように多結晶シリコン層14の側壁部とシリコン基板11の表面のみが酸化され、露出したTiN層15及びW層の側壁には、酸化膜は形成されていなかった。また、ゲート電極18のエッジ領域の酸化膜は、約5nm厚くなっていることが確認された。

【0040】続いて、フィールド酸化膜12及びゲート電極18をマスクとしてn型不純物、例えば砒素をイオン注入し、活性化することにより、図3(c)に示すように、シリコン基板11の表面領域にソース、ドレインとなる n^+ 型拡散層19a、19bを形成した。

【0041】以上説明した第2の実施例によれば、熱処理工程によりゲート構造における金属電極構造のシリコン以外の部分の側壁の酸化を抑制することができ、良好なゲート電極絶縁耐性を有する半導体装置を製造することが確認された。

【0042】また本実施例に示した昇降温時の $H_2/H_2O/N_2$ 分圧は、以下の条件の範囲内で変化させることが可能である。即ち、室温と処理温度の間の昇降温時

において、変化する温度に対応して P_{H_2}/P_{H_2O} 並びに $\log P_{H_2}$ を制御し、絶えずシリコンの選択酸化条件を満たす様にすることで金属層及び金属窒化物層の酸化を抑制することも可能である。

【0043】次に、本発明の第3の実施例に係る半導体装置の製造工程について、図5(a)～(c)を参照して説明する。まず、W層16、TiN層15及び多結晶シリコン層14を通常的光リソグラフィと反応性イオンエッチング(RIE)を用いて順次選択的にエッチングすることにより、図5(a)に示すゲート電極18を形成した後、フィールド酸化膜12及びゲート電極18をマスクとしてn型不純物、例えば砒素をイオン注入し、図5(b)に示すように、 n^+ 拡散層19a、19bを形成する。

【0044】次いで、水素(H_2)と水蒸気(H_2O)を含み、窒素(N_2)をキャリアガスとした混合ガス雰囲気中(全圧1気圧)において、それぞれのガスの分圧比を昇温時における TiO_2 の還元条件になるように変化させた。その分圧比は $H_2 : H_2O : N_2 = 1 : 10^{-8} : 10$ である。このような TiO_2 の還元雰囲気中で $150^\circ\text{C}/\text{分}$ の昇温速度を保ちつつ温度を 1000°C に上げ、温度が一定になると同時にガス分圧比を $H_2 : H_2O : N_2 = 0.164 : 1 \times 10^{-4} : 0.836$ に変化させ、1分間加熱を行った。次に、ガス分圧比を $H_2 : H_2O : N_2 = 1 : 10^{-8} : 10$ に変化させた後、 $-90^\circ\text{C}/\text{分}$ で降温した。この時、ゲート電極エッジ領域の酸化膜が約5nmほど厚くなっていることを確認した。

【0045】このような熱処理工程によれば、図5(c)に示すように、W層16/TiN層15の酸化なしに多結晶シリコン層14の側壁部とシリコン基板11の表面のみを酸化できると同時に、高温で短時間の熱処理のため、ソース・ドレインとなる n^+ 型拡散層19a、19bを過大に広げることなく、イオン注入した不純物の活性化を行うことができる。

【0046】以上説明した第3の実施例によると、シリコンの選択酸化と同時に拡散層の活性化を行なっているため、工程数を増やすことなく良好なゲート電極絶縁耐性を有する半導体装置を製造することが可能である。

【0047】次に、本発明の第4の実施例に係る半導体装置の製造工程について説明する。まず、W層/TiN層/多結晶シリコン層を通常的光リソグラフィと反応性イオンエッチング(RIE)を用いて順次選択的にエッチングすることによりゲート電極18を形成する。次いで、昇温時のガス雰囲気を水蒸気(H_2O)と窒素(N_2)の混合ガス(全圧1気圧)とし、それぞれのガスの分圧比を $H_2O : N_2 = 0.01 : 10$ に設定する。このような酸化性雰囲気中で $150^\circ\text{C}/\text{分}$ の昇温速度を保ちつつ 900°C に昇温し、温度一定で10分間加熱処理する。これにより、W層/TiN層/多結晶シリ

コン層表面は酸化され、ゲート酸化膜は厚くなった。

【0048】次に、ガスを $H_2 : N_2 = 1 : 10$ （全圧 1 気圧）に変化させた後、この還元性雰囲気中で更に 10 分間加熱処理を行った後、 $-90^\circ\text{C}/\text{分}$ の降温速度で降温した。このように酸化性雰囲気から還元性雰囲気に変えることにより、W層/TiN層表面の酸化膜は完全に還元されたが、多結晶シリコン層側面の酸化膜並びにゲート酸化膜は還元されずに残すことが可能であった。

【0049】このように、酸化と還元を交互に行うことで、シリコンの選択酸化と同様の効果をもたらす事ができる。図 6 に、W層表面の酸化量と、 WO_x 還元後の W 表面の平坦度を示す。W膜の膜厚に対し 20%以下の酸化量であれば、還元後の凹凸は 10 nm 以下に抑えることが可能である。

【0050】以上説明した第 4 の実施例によると、水の分圧を高くすることで酸化速度を向上させることが可能であるとともに、その酸化量を一定限度に抑えることで、還元後のゲート表面の平坦度が保たれるので、プロセス時間を短縮することが出来、かつ良好なゲート電極絶縁耐性を有する半導体装置を製造することが可能である。

【0051】以上、本発明の種々の実施例について説明したが、本発明は、上記実施例に限られるものではなく、金属層として Pt、Pd、Rh、Ru、Ni などを用い、金属窒化物層として ZrN、HfN、 WN_x などを用いた金属積層構造に対しても適用可能である。また、ゲート電極は、シリコン層、金属窒化物層、金属層の積層構造に限られることはなく、ゲート絶縁膜上に金属窒化物層、金属層をこの順に積層したメタルゲート構造としてもよい。その他、本発明の主旨を逸脱しない範囲で種々変形して適用可能であることは言うまでもない。

【0052】

【発明の効果】以上詳述した如く、本発明によれば、多層構造を有するゲート電極の熱処理の昇温及び降温速度を制御することにより、ゲート電極を構成する金属窒化物層及び金属層の酸化を招くことなく、ゲート後酸化を行なうことが可能である。それによって、熱処理時間を短縮して、熱的負荷を軽減するとともに、ゲート耐圧を向上させた半導体装置を高歩留りで製造することが可能

である。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例に係る半導体装置の製造工程を示す断面図。

【図 2】本発明の第 1 の実施例における熱処理工程の基板温度と水蒸気分圧の時間変化を示す特性図。

【図 3】本発明の第 2 の実施例に係る半導体装置の製造工程を示す断面図。

【図 4】本発明の第 2 の実施例における熱処理工程の基板温度と水蒸気分圧の時間変化を示す特性図。

【図 5】本発明の第 3 の実施例に係る半導体装置の製造工程を示す断面図。

【図 6】本発明の第 4 の実施例における熱処理工程の W 層表面の酸化量と WO_x 還元後の W 表面の平坦度を示す特性図。

【図 7】水蒸気分圧と昇降温速度との関係を示す特性図。

【図 8】気体の分圧と酸化の有無の関係を示す特性図。

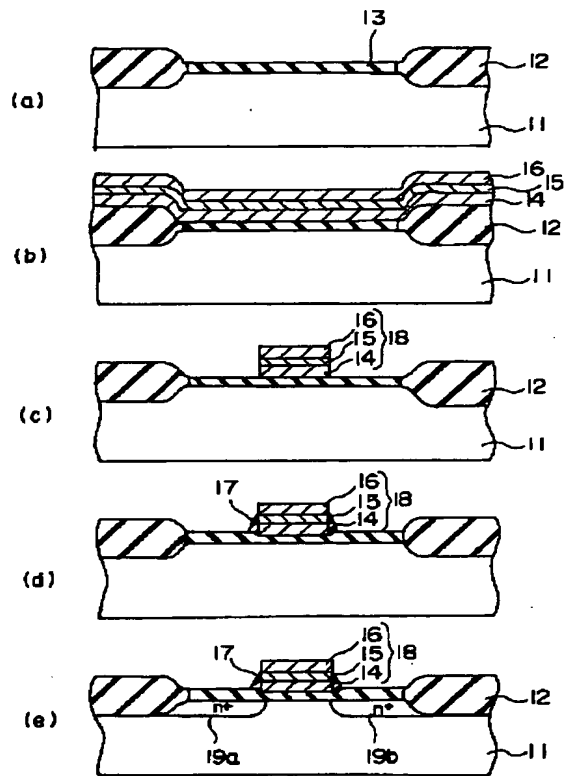
【図 9】従来の半導体装置の製造工程を示す断面図。

【図 10】従来の半導体装置の製造工程における熱処理工程の基板温度と水蒸気分圧の時間変化を示す特性図。

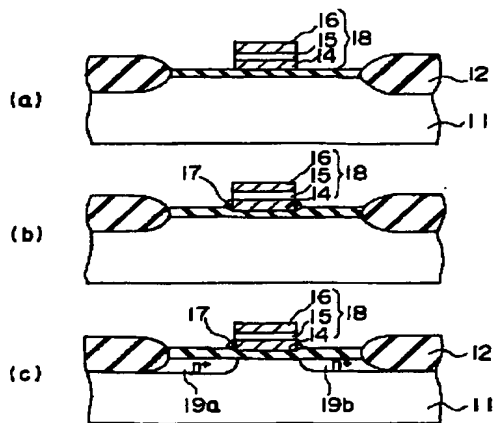
【符号の説明】

- 1…p 型シリコン基板
- 2…フィールド絶縁膜
- 3 a、3 b… n^+ 型拡散層
- 4…ゲート酸化膜
- 5…多結晶シリコン
- 6…窒化金属層
- 7…W層
- 8…ゲート電極
- 9… TiO_2 膜
- 11…p 型シリコン基板
- 12…フィールド酸化膜
- 13…シリコン酸化膜
- 14…多結晶シリコン層
- 15…TiN層
- 16…W層
- 17… TiO_2 膜
- 18…ゲート電極
- 19 a、19 b… n^+ 型拡散層

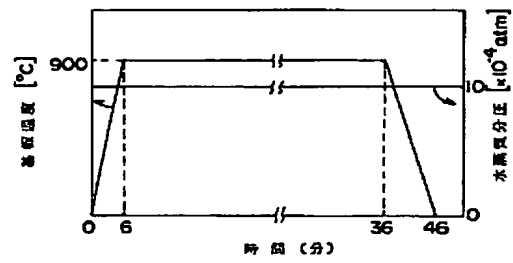
【図 1】



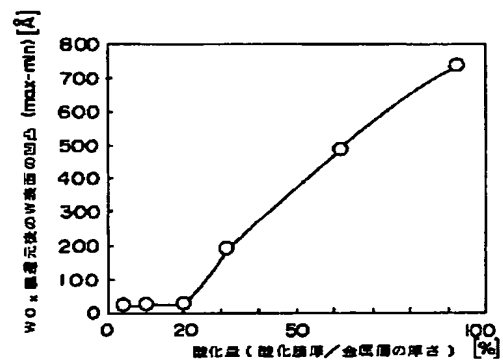
【図 3】



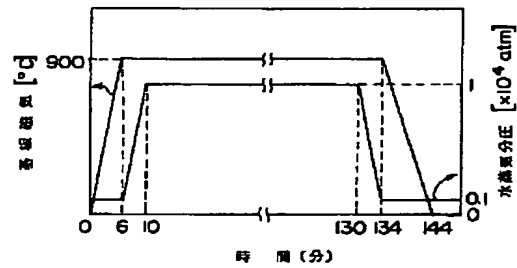
【図 2】



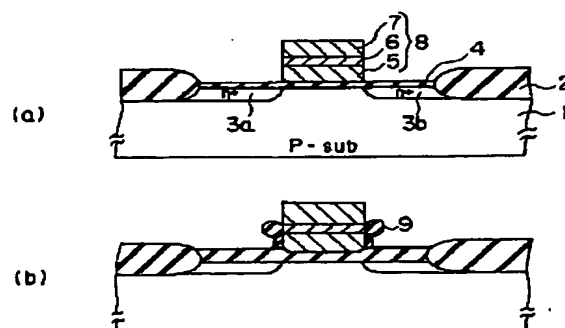
【図 6】



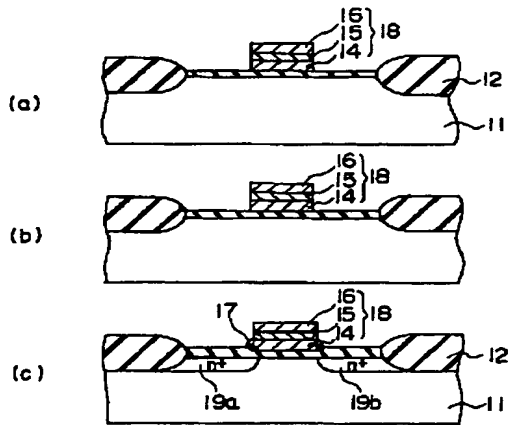
【図 4】



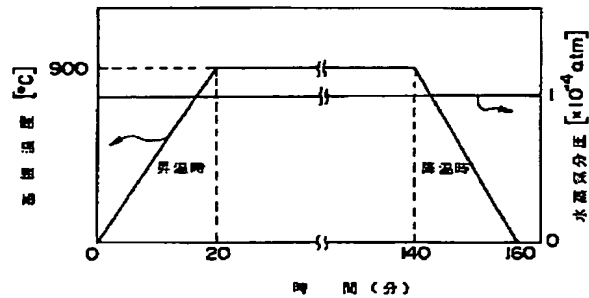
【図 7】



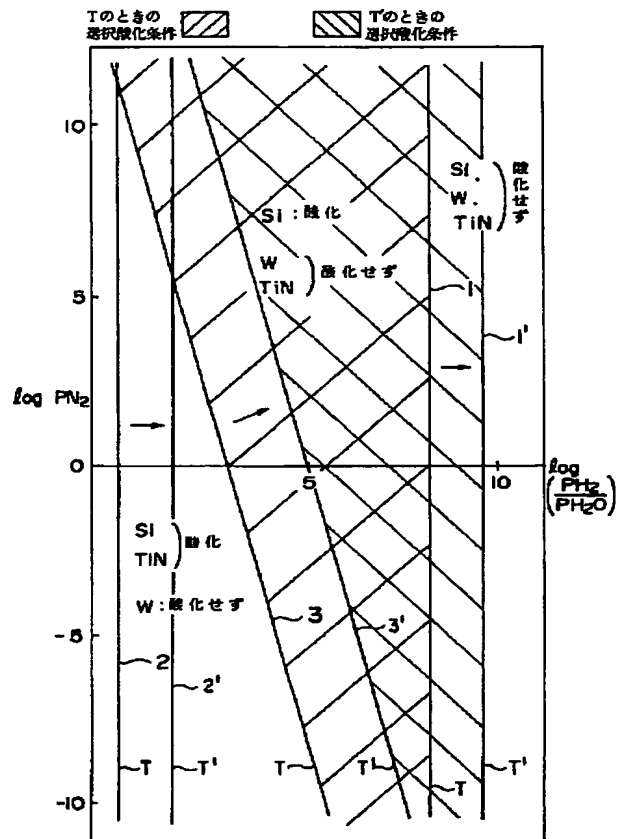
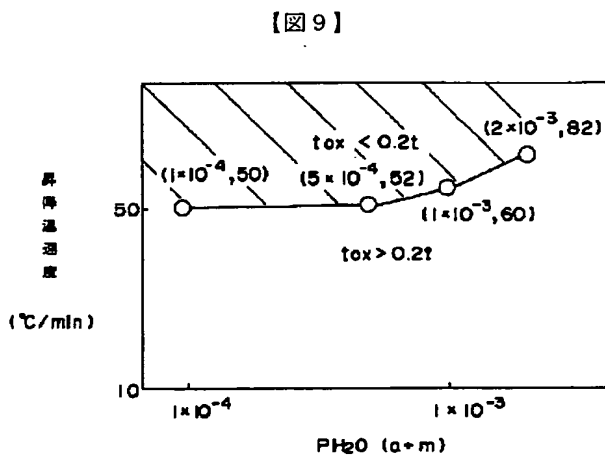
【図 5】



【図 8】



【図 10】



【手続補正書】

【提出日】平成 6 年 1 2 月 1 6 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 1

【補正方法】変更

【補正内容】

【請求項 1】シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有するゲート電

極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記雰囲気中で前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程は、前記金属窒化物層及び前記金属層の酸化によりそれぞれ形成される金属酸化物層の膜厚が前記金属酸化物層及び前記金属層の膜厚の 20% となる昇温速度及び降温速度以上の速度

で行なうことを特徴とする半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 2

【補正方法】変更

【補正内容】

【請求項 2】シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有する電極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程に先立ち、或いは該工程中に、前記金属窒化物層及び前記金属層中の金属の酸化反応における自由エネルギー窒化がゼロ又は正となるように、前記雰囲気中に含まれる気体の分圧を制御することを特徴とする半導体装置の製造方法。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】本発明は、シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有するゲート電極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記雰囲気中で前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程は、前記金属窒化物層及び前記金属層の酸化によりそれぞれ形成される金属酸化物層の膜厚が前記金属酸化物層及び前記金属層の膜厚の 20% となる昇温速度及び降温速度以上の速度で行なうことを特徴とする半導体装置の製造方法を提供する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】本発明の方法において、ゲート電極は、多結晶シリコン層、金属窒化物層、及び金属層の積層構造とすることが出来る。金属層としては、タングステン、モリブデン、白金、パラジウム、ロジウム、ルテニウム、ニッケル、コバルト、タンタル、チタン等を用いることが出来る。金属窒化物層は、金属層と多結晶シリコン層との間の障壁層をなすものであって、チタン、ジルコニウム、ハフニウム、タングステン、バナジウム、ニオブ、タンタル、クロム、レニウム等の窒化物を用いることが出来る。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】更に、本発明は、シリコン基板上にゲート絶縁膜を介して金属窒化物層及び金属層を含む積層構造を有する電極を形成する工程と、還元性気体、酸化性気体及び窒素を含む雰囲気中で熱処理することにより前記シリコン基板表面の酸化を行なう工程と、前記熱処理の工程の前後において前記シリコン基板の昇降温を行なう工程とを具備し、前記昇降温の工程に先立ち、或いは該工程中に、前記金属窒化物層及び前記金属層中の金属の酸化反応における自由エネルギー窒化がゼロ又は正となるように、前記雰囲気中に含まれる気体の分圧を制御することを特徴とする半導体装置の製造方法を提供する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】

【数 1】

$$\begin{aligned}
\Delta t_{ox} &= \int_{t_0}^{t_1} R [T(t)] dt \\
&= \int_{t_0}^{t_1} C \exp \left[-\frac{E_a}{K (A t + B)} \right] dt \\
&= \frac{C E_a}{K} \int_{x_0}^{x_1} \frac{e x}{x^2} dx \\
&= \frac{C' P_{H_2O}^n E_a}{K} \left\{ E_i \left(-\frac{E_a}{K (A t_1 + B)} \right) \right. \\
&\quad \left. - E_i \left(-\frac{E_a}{K (A t_0 + B)} \right) - \frac{\exp \left(-\frac{E_a}{K (A t_1 + B)} \right)}{-\frac{E_a}{K (A t_1 + B)}} \right. \\
&\quad \left. + \frac{\exp \left[-\frac{E_a}{K (A t_0 + B)} \right]}{-\frac{E_a}{K (A t_0 + B)}} \right\} \\
&\quad \left(\text{但し、} E_i(x) = \int_{-\infty}^x \frac{e^t}{t} dt \right) \\
&\quad \text{(積分指数)}
\end{aligned}$$